

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-237107

(P2001-237107A)

(43)公開日 平成13年8月31日(2001.8.31)

(51)Int.Cl.<sup>7</sup>

H 01 C 7/04  
13/02

識別記号

F I

テーマコード\*(参考)

H 01 C 7/04  
13/02

5 E 03 4

B

審査請求 未請求 請求項の数3 O.L (全 4 頁)

(21)出願番号 特願2000-44491(P2000-44491)

(71)出願人 000105350

コークス株式会社

長野県伊那市大字伊那3672番地

(22)出願日 平成12年2月22日(2000.2.22)

(72)発明者 寺澤 裕次

長野県上伊那郡箕輪町大字中箕輪14016

コークス株式会社内

(74)代理人 100092406

弁理士 堀田 信太郎 (外2名)

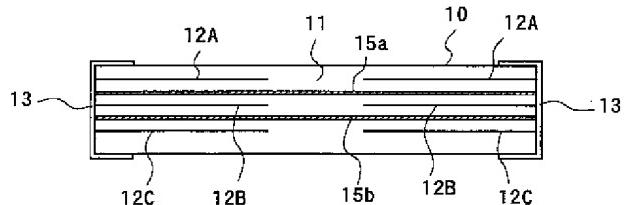
Fターム(参考) 5E034 BB01 DA07 DB11 DC01

(54)【発明の名称】 積層型チップサーミスタ

(57)【要約】

【課題】 抵抗値のバラツキを小さくし、これにより高い製造歩留を確保することができる積層型チップサーミスタを提供する。

【解決手段】 箱体状のサーミスタ素体11に、一対の電極が同一面に空隙部を介して離隔して配置した内部電極12A, 12B, 12Cを複数層積層して配置し、該複数層の内部電極に接続する外部電極13を箱体状のサーミスタ素体の側面から上下面にまわり込んで配置した積層型チップサーミスタにおいて、複数層の内部電極間に、絶縁層もしくはサーミスタ素体の比抵抗に対して高比抵抗の層15a, 15bを配置した。



## 【特許請求の範囲】

【請求項1】 箱体状のサーミスタ素体に、一対の電極が同一面に空隙部を介して離隔して配置した内部電極を複数層積層して配置し、該複数層の内部電極に接続する外部電極を前記箱体状のサーミスタ素体の側面から上面にまわり込んで配置した積層型チップサーミスタにおいて、

前記複数層の内部電極間に、絶縁層もしくは前記サーミスタ素体の比抵抗に対して高比抵抗の層を配置したことと特徴とする積層型チップサーミスタ。

【請求項2】 前記絶縁層もしくは高比抵抗の層は、前記複数層の内部電極間の積層面の全面に配置されていることを特徴とする請求項1記載の積層型チップサーミスタ。

【請求項3】 前記絶縁層もしくは高比抵抗の層は、前記同一面に配置された一対の内部電極間の空隙部を少なくともカバーするように、部分的に配置されていることを特徴とする請求項1記載の積層型チップサーミスタ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、積層型チップサーミスタに係り、特に表面実装に好適な箱体状のチップ型の構造を備え、サーミスタ素体層及び一対の内部電極層を複数層積層して構成した積層型チップサーミスタに関する。

## 【0002】

【従来の技術】サーミスタは、正又は負の温度係数を有する抵抗体素子であり、特に負の温度係数(NTC: Negative Temperature Coefficient)を有するサーミスタは、各種電子回路における温度補償用等の用途に、抵抗回路素子として広く採用されている。係る回路素子として、プリント基板上に表面実装が可能な構造として、例えば図4(a)に示す積層型チップサーミスタが知られている。尚、この積層型チップサーミスタは、表面実装に好適な箱体状のチップ型の構造を備え、例えば長辺が1~3mm程度であり、短辺が0.5~1.5mm程度であり、極めて微小な部品である。

【0003】積層型チップサーミスタ10は、サーミスタ素体11の内部に左右一対の電極からなる内部電極12A, 12B, 12Cが複数層上下方向に離間して層状に配置されている。即ち、薄いシート状のサーミスタ素体の表面に図中の左右一対の電極12A(a), 12A(b)が中央に空隙部Gを置いて配置され、これが複数層積層されて構成されている。内部電極12A, 12B, 12Cは、図中の箱体状のサーミスタ素体11の左右両端部でそれぞれ外部電極13に接続されている。サーミスタ素体11は、金属酸化物等の粉末を溶媒中に分散させてドクタブレード法等によりセラミクスグリーンシートとし、これを複数層積層して焼成して構成された半導体セラミクスである。内部電極12A, 12B, 1

2CはAg-Pd等の厚膜ペーストを上述のサーミスタ素体を構成するグリーンシート上にスクリーン印刷等により塗布して、これをサーミスタ素体と共に高温で焼成することで形成する。外部電極13は、箱体状のサーミスタ素体11の側端面から上下面に回り込むように、例えばAg-Pd等の厚膜ペーストを塗布し、箱体状のサーミスタ素体11の側端面に露出した内部電極と接続し、焼成した後に、Niメッキ、ハングルメッキもしくはSnメッキを行なうことで形成されている。

10 【0004】このようなサーミスタ素子において、抵抗値は、内部電極12A, 12B, 12C間に、例えば電極12A(a)から電極12A(b)に電流がサーミスタ素体11中を分布して流れるので、この電流の分布経路及びサーミスタ素体の固有抵抗により決まってくる。このため、内部電極12Aを設け、この電極間の空隙部Gの寸法を小さくすることで、また、内部電極の積層数を増加させることで低い抵抗値のサーミスタ素子が得られる。

20 【0005】即ち、このようなサーミスタ素子の抵抗値精度は、内部電極の印刷精度、サーミスタ素体グリーンシートの厚さ及び積層精度でその抵抗値精度が支配される。しかしながら、上述したようにこの積層型チップサーミスタはそのサイズが大変微小なものであり、内部電極をスクリーン印刷により印刷しグリーンシートを積層して、焼成することで製造するのである。このため、内部電極の印刷ずれ、及びサーミスタ素体のグリーンシートの積層合せずれにより、その抵抗値が大幅に変動する。

30 【0006】図4(b)は、内部電極印刷の位置ずれ、及びグリーンシートの積層合せずれにより、内部電極12A, 12Bが正規の位置(12C)からずれた場合を示す。即ち、内部電極12Aは距離Bだけ左方にずれ、内部電極12Bは距離Aだけ右方にずれた場合を示している。また、内部電極12Aと12Bとの間がグリーンシートの厚さが薄く、この間の厚さがCと接近している場合を示している。このような場合、図矢印Dの部分で左右両側の内部電極12A, 12Bが異常に接近し、リーク状態となり抵抗値が減少する。又、電極間の間隔が狭くなるため、負荷が集中する。そして、このように抵抗値が変動すると、製造歩留りが低減するという問題が生じる。

## 【0007】

【発明が解決しようとする課題】本発明は上述した事情に鑑みて為されたもので、抵抗値のバラツキを小さくし、これにより高い製造歩留を確保することができる積層型チップサーミスタを提供することを目的とする。

## 【0008】

【課題を解決するための手段】請求項1に記載の発明は、箱体状のサーミスタ素体に、一対の電極が同一面に空隙部を介して離隔して配置した内部電極を複数層積層

して配置し、該複数層の内部電極に接続する外部電極を前記箱体状のサーミスタ素体の側面から上下面にまわり込んで配置した積層型チップサーミスタにおいて、前記複数層の内部電極間に、絶縁層もしくは前記サーミスタ素体の比抵抗に対して高比抵抗の層を配置したことを特徴とする積層型チップサーミスタである。

【0009】複数層の内部電極間に、絶縁層もしくは高比抵抗層を配置したので、ある層の内部電極とそれに隣接した層の内部電極との間が絶縁され、その間に電流が殆ど流れなくなる。このため、ある層に対して隣接する層の内部電極が位置ずれにより移動しても、互いに殆ど電流が流通しないため、他の電極に電流が流れず内部電極間で干渉することがない。従って、一対の内部電極間の空隙の精度とサーミスタ素体の固有抵抗により抵抗値が決まるので、抵抗値精度の良好なサーミスタを製造することが可能となる。

#### 【0010】

【発明の実施の形態】以下、本発明の実施の形態について、図1乃至3を参照しながら説明する。

【0011】図1は、本発明の実施形態の積層型チップサーミスタを示す。サーミスタ素体11の内部には、複数層の内部電極（ここでは3層の内部電極）12A, 12B, 12Cが配置されていて、各電極12A, 12B, 12Cの一対の電極はそれぞれ外部電極13, 13に接続されている構成は、図4に示したものと同様である。本発明では内部電極12Aと内部電極12Bとの間には絶縁層もしくはサーミスタ素体の比抵抗に対して高比抵抗の層15aが配置され、内部電極12Bと内部電極12Cとの間にも同様に絶縁層もしくは高比抵抗層15bが配置されている。ここで高比抵抗の層は、サーミスタ素体の比抵抗よりも、例えば一桁又は二桁、比抵抗の高い層であり、実質的に殆ど電流が流れない層である。

【0012】この実施形態においては、絶縁層もしくは高比抵抗層15a, 15bは箱体状のサーミスタ素体11の積層面の全面に配置されている。即ち、シート状のサーミスタ素体（グリーンシート）の間に絶縁層もしくは高比抵抗層15が間挿され、これが積層して箱体状のサーミスタ素体が構成されている。

【0013】従って、内部電極12A, 12B, 12Cは、それぞれ左右一対の電極から構成されるが、その左右一対の電極間の空隙をサーミスタ素体を介して流れる電流は、絶縁層もしくは高比抵抗層15a, 15bにより完全に分離される。即ち、外部電極13の一方から流入する電流は、内部電極12A, 12B, 12Cに分流し、それぞれ絶縁層もしくは高比抵抗層で分離されたサーミスタ素体内的電極間の流路を流れ、他方の内部電極に電流が流れることがない。このため、内部電極12A, 12B, 12Cの相互間に左右方向のずれが生じても、これにより抵抗値が変動するという問題が解決され

る。

【0014】図2は、本発明の他の実施形態を示す。この実施形態においても、複数層の内部電極間に絶縁層もしくは高比抵抗層16a, 16bを配置して、一対の内部電極間に流れる電流を他の内部電極間に流れる電流と干渉しないようにする点において共通する。即ち、箱体状のサーミスタ素体11に複数層（ここでは3層）の内部電極12A, 12B, 12Cを配置し、これらの内部電極をサーミスタ素体11の側端面に配置された外部電極13に接続した構造において、複数層の内部電極間の絶縁層もしくは高比抵抗層16a, 16bを配置する。この実施形態においては、サーミスタ素体11の内部で内部電極の間に配置された絶縁層もしくは高比抵抗層16a, 16bは、図示するように全面ではなく一対の内部電極間の空隙部をカバーするのに十分な程度の大きさとなっている。これにより、一対の内部電極間の空隙部に流れる電流経路が絶縁層もしくは高比抵抗層16a, 16bで分離された空間内に分布し、他の内部電極間の空隙部に流れる電流経路と干渉する事がない。内部電極間の空隙部の近傍以外では殆ど電流経路が存在しないので、全面に絶縁層もしくは高比抵抗層を配置したのと同様な抵抗値のバラツキの防止効果が得られる。そして、絶縁層もしくは高比抵抗層がサーミスタ素体中に部分的に入るので、サーミスタ素体全体への絶縁層もしくは高比抵抗層が入ることの影響を小さく留めることができる。

【0015】次に、この積層型チップサーミスタの製造方法の一例についてその概略を説明する。適当な温度係数が得られる金属酸化物等の粉末を溶媒中に分散させ、ドクターブレード法等によりサーミスタ素体のグリーンシートを形成し、これに内部電極を例えばA g-Pdの厚膜ペーストをスクリーン印刷にて塗布する。一方で、サーミスタ素体のグリーンシートに絶縁被膜の厚膜ペースト、又は高抵抗体の厚膜ペーストを図1に示す実施形態の場合には全面に、図2に示す実施形態の場合には一対の内部電極間の空隙部の周辺を含めて部分的に同様にスクリーン印刷等の方法で塗布する。ここで、絶縁被膜又は高抵抗体の厚膜ペーストとしては、例えばアルミナを主成分としたペーストを用いることができる。また、全面に絶縁被膜（又は高抵抗体膜）を形成する場合は、絶縁性又は高抵抗のグリーンシートを積層するようにしてもよい。そして、表面に内部電極を形成したグリーンシートと、表面に絶縁膜もしくは高抵抗膜を形成したグリーンシートを交互に重ねて圧着する。それ以降は、通常の積層型チップサーミスタの製造方法に従い、ダイシング、端面（外部）電極の形成、焼成、外部電極のめつき処理により、本発明の積層型チップサーミスタが製造される。

【0016】図3は、本発明の積層型チップサーミスタと、従来の積層型チップサーミスタの抵抗値ヒストグラ

ムを比較した結果を示す。(a)は従来の積層型チップサーミスタの抵抗値ヒストグラムを示し、例えば目標の許容範囲である±1%に対して、許容範囲外に分布していることを示している。これに対して、(b)は本発明の積層型チップサーミスタの抵抗値ヒストグラムを示し、目標の許容範囲である±1%以内に十分に収まることを示している。

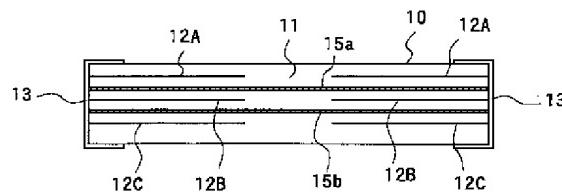
【0017】尚、上記実施形態においては、内部電極が3層の場合の例について示したが、層数は何層であっても本発明の趣旨を同様に適用できることは勿論である。

#### 【0018】

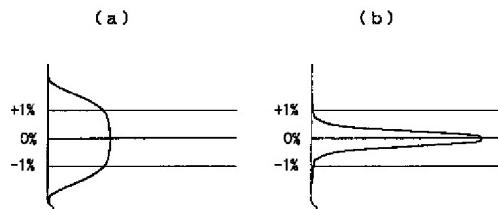
【発明の効果】以上説明したように本発明は、積層型チップサーミスタにおいて複数の内部電極の層間に絶縁層もしくは高比抵抗層を配置したものである。これにより、内部電極の印刷ずれやグリーンシートの合せずれが生じても、空隙を介して対向する一对の内部電極間にのみ電流が流れ、他の層の内部電極と干渉しないので、抵抗値のバラツキの発生を抑えることができる。それ故、本発明によれば積層型チップサーミスタの製造歩留を向上させることができる。

【図面の簡単な説明】

【図1】



【図3】



【図2】本発明の実施形態の積層型チップサーミスタの断面図である。

【図4】本発明の他の実施形態の積層型チップサーミスタの断面図である。

【図3】抵抗値の分布を示すヒストグラムであり、(a)は従来例の積層型チップサーミスタの分布を示し、(b)は本発明の積層型チップサーミスタの分布を示す。

【図4】(a)は従来の積層型チップサーミスタの断面図であり、(b)は内部電極の位置がずれた場合を示す断面図である。

#### 【符号の説明】

10 積層型チップサーミスタ

11 サーミスタ素体

12A, 12B, 12C 一对の内部電極

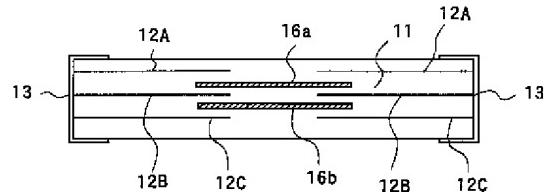
13 外部電極

15a, 15b 全面に配置した絶縁層もしくは高比抵抗層

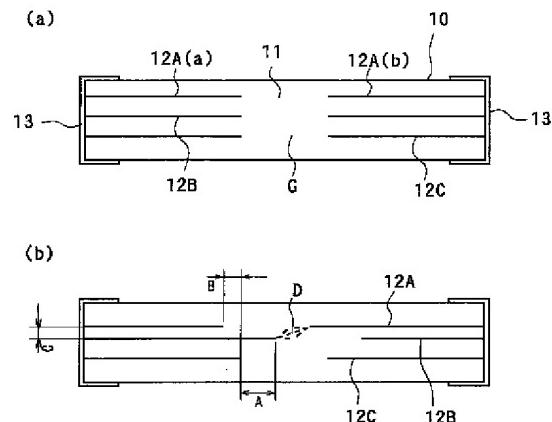
16a, 16b 部分的に配置した絶縁層もしくは高比抵抗層

20 抵抗層

【図2】



【図4】



**PAT-NO:** JP02001237107A  
**DOCUMENT-IDENTIFIER:** JP 2001237107 A  
**TITLE:** LAMINATED CHIP THERMISTOR  
**PUBN-DATE:** August 31, 2001

**INVENTOR-INFORMATION:**

<b>NAME</b>	<b>COUNTRY</b>
TERASAWA, YUJI	N/A

**ASSIGNEE-INFORMATION:**

<b>NAME</b>	<b>COUNTRY</b>
KOA CORP	N/A

**APPL-NO:** JP2000044491

**APPL-DATE:** February 22, 2000

**INT-CL (IPC):** H01C007/04 , H01C013/02

**ABSTRACT:**

**PROBLEM TO BE SOLVED:** To provide a laminated chip thermistor which can be manufactured at a high yield by reducing the variation of its resistance value.

**SOLUTION:** This laminated chip thermistor is constituted by arranging internal electrodes 12A, 12B, and 12C, each of which is composed of a pair of electrodes arranged in the same plane with a gap section in between, in a vertically laminated state in a box-like blank thermistor body 11 and external electrodes 13 which are connected to the internal electrodes 12A, 12B, and 12C on the side faces of the body 11 in a state where the electrodes

13 are extended to the edge sections of the upper and lower surfaces of the body 2. In this thermistor, high-resistivity layers 15a and 15b having higher resistivities than insulating layers or the body 11 has are respectively arranged among the electrodes 12A, 12B, and 12C.

COPYRIGHT: (C)2001,JPO